

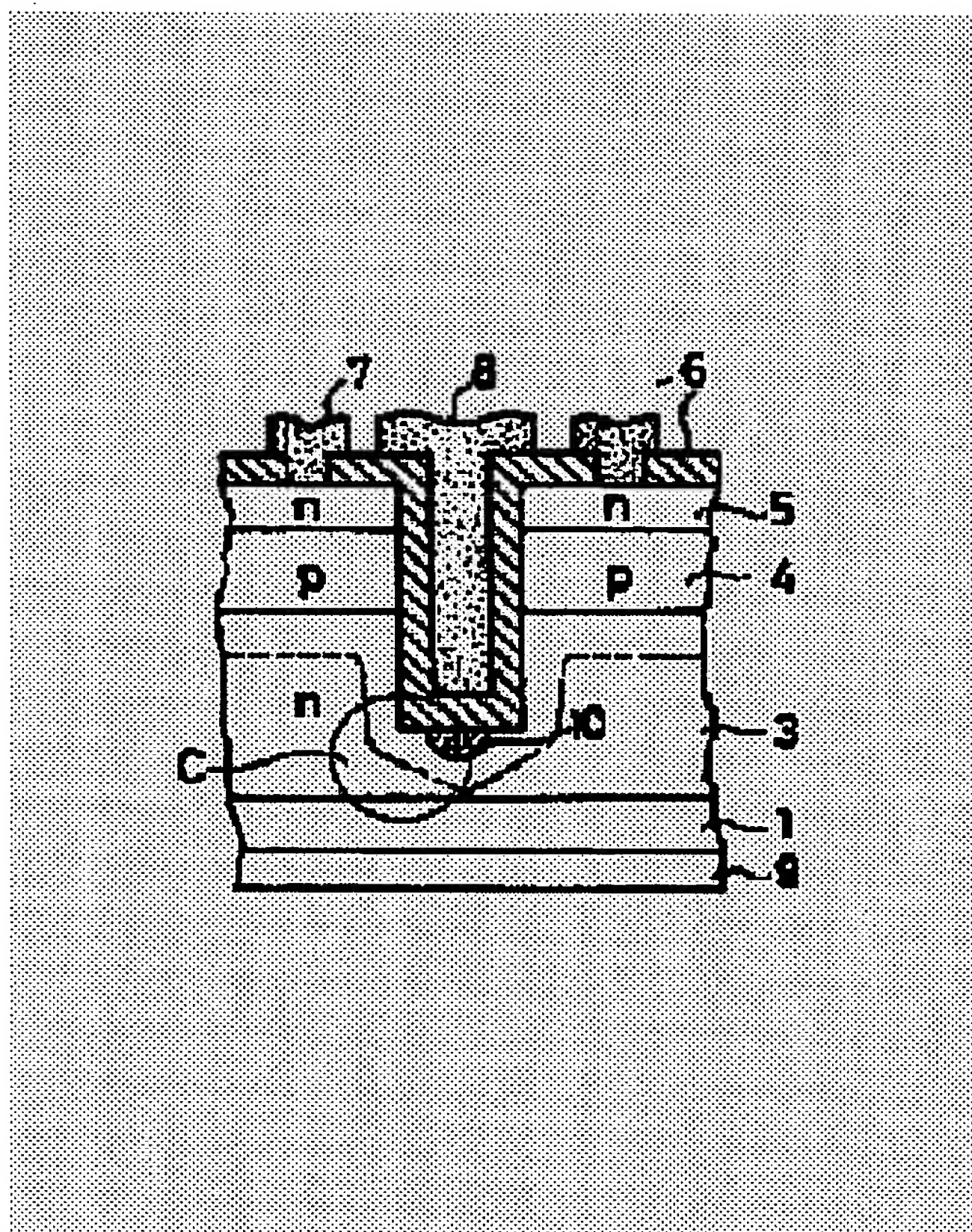
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP5082792
Publication date: 1993-04-02
Inventor: YANAGIYA SATOSHI; others: 04
Applicant: TOSHIBA CORP
Classification:
- international: H01L29/784
- european:
Application number: JP19910243910 19910925
Priority number(s):

Abstract of JP5082792

PURPOSE: To increase breakdown strength between a gate/source and a drain of a vertical MOSFET by forming a depletion layer whose distance with a trench groove bottom part is almost fixed.

CONSTITUTION: After an implant mask is installed in a place excepting a specified place at a bottom part of a trench groove, B, for example, is introduced and diffused to form a second P layer 10. Thereby, a distance between an area near a corner part C of a trench groove part and a depletion layer 11 keeps an almost fixed distance. Thereby, concentration of electric field in the part C is relaxed and breakdown strength is increased as compared with a conventional technique.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-82792

(43)公開日 平成5年(1993)4月2日

(51)Int.Cl.⁵

H01L 29/784

識別記号

庁内整理番号

FI

技術表示箇所

9168-4M

H01L 29/78

321 V

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平3-243910

(22)出願日

平成3年(1991)9月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 柳谷 諭

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 松田 昇

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 大澤 明彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(74)代理人 弁理士 大胡 典夫

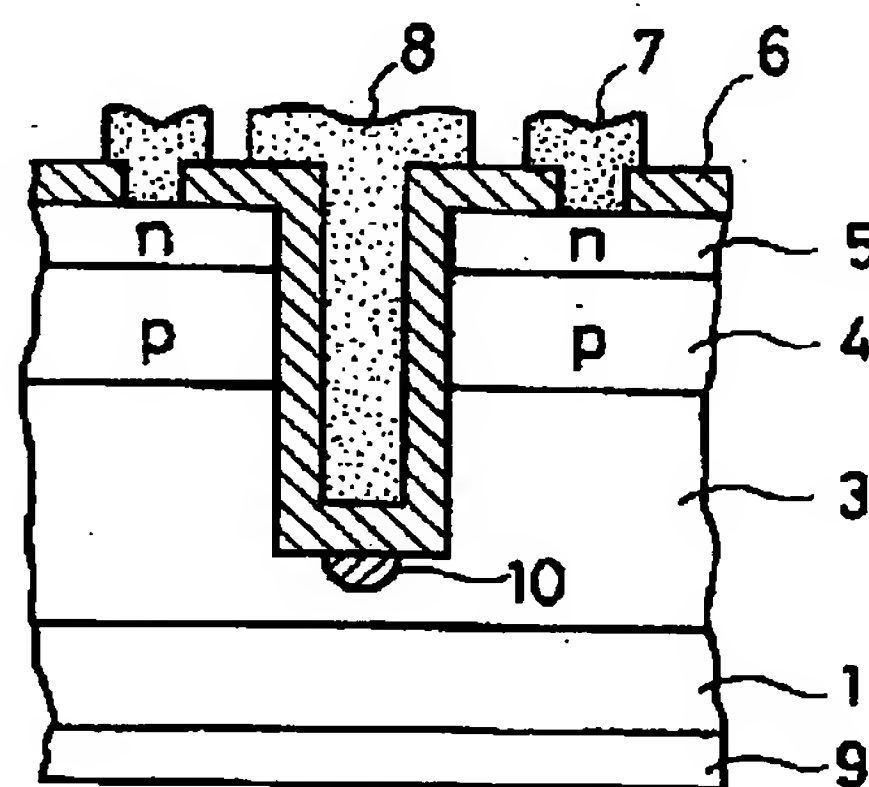
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 半導体素子とりわけトレンチ溝を形成した縦型MOS-FETにおける電氣的に短絡したゲート、ソースとドレイン間の耐圧を増大する点。

【構成】 半導体基板1に隣接して形成する高抵抗の半導体層にまで達するトレンチ溝2を設置する半導体素子の耐圧を向上するために、空乏層とトレンチ溝2の底部間の距離を一定に保持する手段を施して、半導体素子の耐圧を確実に向上する。



【特許請求の範囲】

【請求項1】 第1導電型を示す半導体基板と、前記半導体基板に隣接してより高抵抗の領域を設置する工程と、前記高抵抗の領域に達するトレンチ溝を形成する工程と、前記高抵抗の領域に連続して設置する半導体層と、前記トレンチ溝内部及び半導体層を被覆する絶縁物層を形成する工程と、前記絶縁物層に電極を形成する工程と、前記トレンチ溝底部との距離がほぼ一定の空乏層を形成する手段を具備することを特徴とする半導体装置の製造方法

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置の製造方法に係わり、特に、トレンチ溝を用いる縦型MOS FET の製造に利用するものである。

【0002】

【従来の技術】従来から縦型MOS FET にあつては、図1に示す断面図のようにN型のシリコン半導体基板1に形成するいわゆるトレンチ溝2を利用した型も採用している。即ち、不純物としてSbを導入したN型のシリコン半導体基板1にN層3を形成する。これは、不純物として $5 \times 10^{15}/cc$ 程度のPを含有するN層3であり、ここにドーズ量が $10^{13}/cm^2$ 位のBをイオン注入してP層4を形成して、トランジスタのベース層として機能させ、更にその表面付近にN層5を形成する。この表面には、シリコン酸化物層、窒化珪素層または酸窒化珪素層などで構成する絶縁物層7を被覆後、公知のフォトリソグラフィ技術を利用するドライプロセス例えばRIE (Reactive Ion Etching) 法による異方性エッチングによりトレンチ溝2を、トランジスタのベース層として機能するP層4よりN層3に達する深さに形成する。

【0003】トレンチ溝2の壁面とN層5表面を被覆する絶縁物層6には、公知のフォトリソグラフィ技術により図示しない窓または孔部（トレンチ溝に対応する）を形成後、導電性金属層例えばソース電極7やゲート電極8更にN型のシリコン半導体基板3の裏面にドレイン電極9を形成して、縦型MOS-FETを得る。実際には、この外に他の工程を施すが、本発明に直接関係ないので省略する。

【0004】

【発明が解決しようとする課題】図1に示した縦型MOS-FETでは、ゲート・ソースとドレイン間の耐圧は、n層3、5とp層4を最適条件で形成しても、トレンチ溝2底部のコーナ部Aに電界が集中する度合いで決定することになる。しかし、トレンチ溝2底部のコーナAの形状は、縦型MOS-FETの機種に依存する程度が大きく簡単に変えられない。従って、縦型MOS-FETの耐圧は、このコーナ部Aに大きく依存した上に、向上させることができない。

【0005】本発明は、このような事情により成されたもので、特に、ゲート・ソースとドレイン間の耐圧を上げることが目的とするものである。

【0006】

【課題を解決するための手段】第1導電型を示す半導体基板にpn接合を形成する工程と、前記pn接合を貫いて半導体基板内部に達するトレンチ溝を形成する工程と、前記トレンチ溝内部を被覆する絶縁物層を形成する工程と、前記絶縁物層に隣接する電極を形成する工程と、前記トレンチ溝底部との距離がほぼ一定の空乏層を形成する手段に本発明に係わる半導体装置の製造方法の特徴がある。

【0007】

【作用】第1導電型を示す半導体基板に形成するpn接合を貫いてトレンチ溝を形成する半導体素子例えば縦型MOS-FETの耐圧を向上するに当たって、トレンチ溝底部との距離がほぼ一定の空乏層を形成する手段として例えばP層をトレンチ溝底部に設置することにより、トレンチ溝底部における電界集中を緩和することができ更に、耐圧が向上する事実を基に本発明は、完成したものである。

【0008】

【実施例】本発明に係わる実施例を図2乃至図4を参照して説明する。なお従来と同じ部品には同一番号を付ける。

【0009】図2に明らかなように、Sbを $\sim 2 \times 10^{18}/cc$ 程度含有する半導体基板1に、 ρ が $0.8 \sim 1 \Omega cm$ ($5 \times 10^{15}/cc$) でPを不純物として含む第1n層3を例えばエピタキシャル法により堆積してから更に、第1p層4及び第2n層5を例えばイオン注入法により形成する。

【0010】イオン注入による第1p層4の形成においては、Bのドーズ量がほぼ $10^{13}/cm^2$ 加速電圧50 KeV、第2n層5は、Asのドーズ量が $2 \times 10^{15}/cm^2$ 加速電圧40 KeVの条件で形成する。なお、イオン注入工程後、公知の加熱工程を行うのは勿論である。

【0011】このような処理を終えた半導体基板1表面には、絶縁物層6を厚さ500～1000オングストローム被覆後、異方性エッチング法例えば反応性イオンイオンエッチング法 (Reactive Ion Etching) 法により所定の位置にいわゆるトレンチ溝2を深さ4 μm 程度形成する。この結果、トレンチ溝2の底部と半導体基板1との距離は大体6 μm となる。

【0012】更に、トレンチ溝2の底部の所定の位置以外にインプラマスクを設置してから例えばBを導入拡散して第2P層10を図2に明らかにしたように形成する。

【0013】このように第2P層10の形成を終えてから厚さ500～1000オングストロームの絶縁物層6

を半導体基板1表面に堆積する。材質としては、珪素酸化物、窒化窒素、酸窒化珪素（オキシ窒化珪素： SiON ）などが適用可能であり、その複数種を重ねることもできる。

【0014】この絶縁物層6には、公知のフォトリソグラフィ工程を施して窓を設け、ここに導電性金属層としてAlまたはAl合金例えばAl-SiやAl-Si-Cuを堆積するが、その後、公知のフォトリソグラフィ工程により所定の形状として縦型MOS-FETのソース電極7とゲート電極8を形成し、更に半導体基板1の裏面にはドレイン電極9を形成する。実際には、縦型MOS-FETのソース電極7とゲート電極8を電氣的に短絡する。

【0015】縦型MOS-FETとしては、この他の工程があるが、本発明に関係がないので省略する。

【0016】

【発明の効果】図3及び図4は、本発明の効果を説明する図面で、前者が従来の技術、後者が本発明を示しており、特に空乏層11の伸び方を表している。即ち、トレンチ溝底部のコーナ部図3のBと、図4のC部付近と空乏層11間の距離が、際立って相違していることが明らかである。

【0017】従来の技術では、Bと空乏層11間の距離は、他の空乏層11とトレンチ溝2間の距離が違っているのに対して、図4では、殆ど一定の距離を保っている。このことは、C部分における電界の集中が緩和され

ることになり、図3の従来技術より耐圧が増加することになる。

【0018】従って、縦型MOS-FETに要求される耐圧52Vを完全に満たすと共に、60Vも得られるので、量産上の効果は極めて大きいものがある。

【図面の簡単な説明】

【図1】従来の縦型MOS-FETの要部を示す断面図である。

【図2】本発明に係わる縦型MOS-FETの要部を示す断面図である。

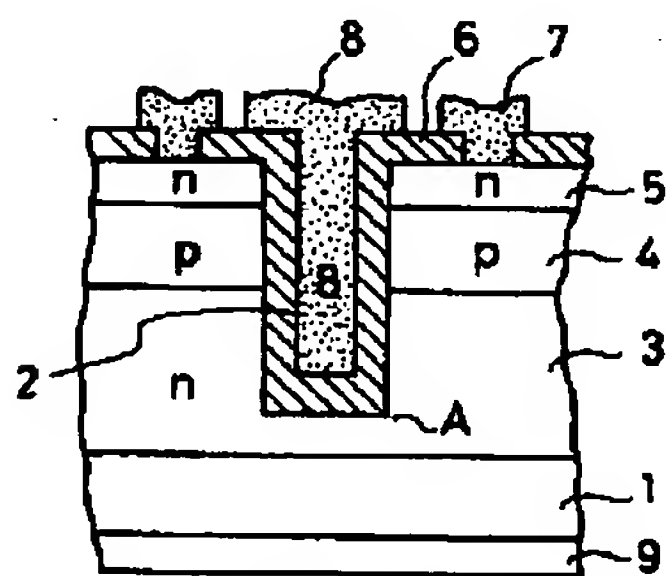
【図3】従来の縦型MOS-FETに電圧印加時の空乏層の伸びを明らかにする断面図である。

【図4】本発明の縦型MOS-FETに電圧印加時の空乏層の伸びを明らかにする断面図である。

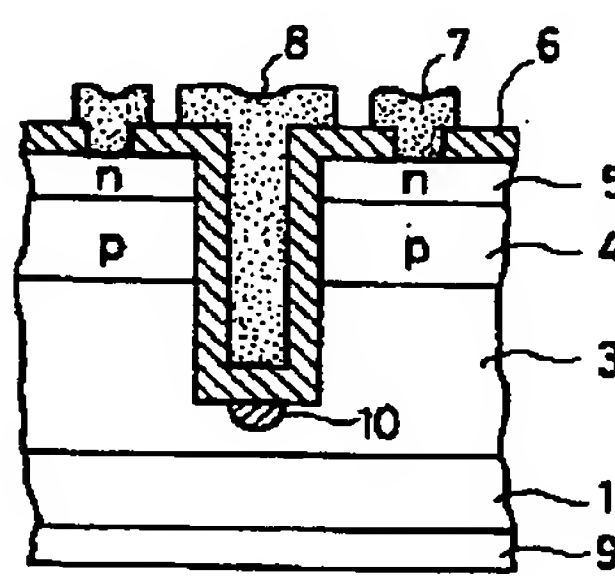
【符号の説明】

- 1：半導体基板、
- 2：トレンチ溝、
- 3：第1n層、
- 4：第1p層、
- 5：第2n層、
- 6：絶縁物層、
- 7：ソース電極、
- 8：ゲート電極、
- 9：ドレイン電極、
- 10：第2p層。

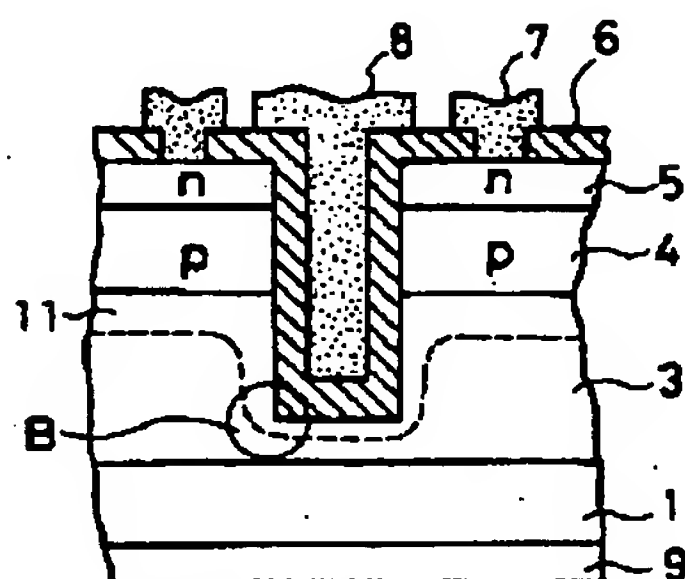
【図1】



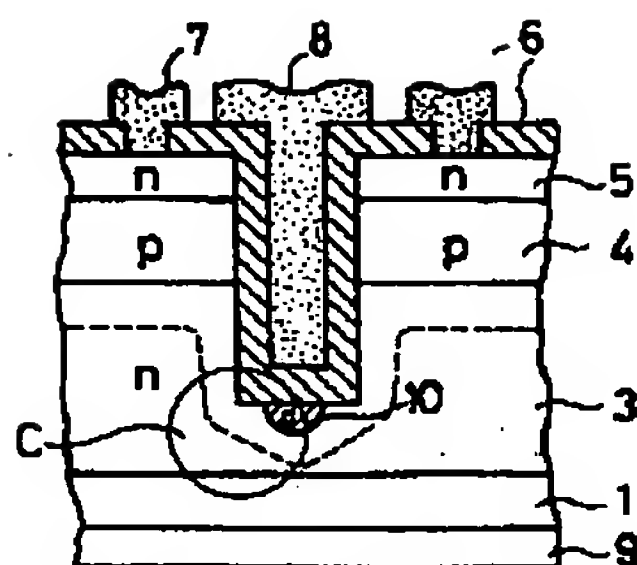
【図2】



【図3】



【図 4】



- | | |
|-----------|------------|
| 1 : 半導体基板 | 6 : 絶縁物層 |
| 2 : トンネル層 | 7 : ソース電極 |
| 3 : 第1n層 | 8 : ゲート電極 |
| 4 : 第2p層 | 9 : ドレイン電極 |
| 5 : 第2n層 | 10 : 第2p層 |

フロントページの続き

(72)発明者 馬場 嘉朗

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72)発明者 開 俊一

神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内